

PAT-NO: JP405226655A
DOCUMENT-IDENTIFIER: JP 05226655 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBL-DATE: September 3, 1993

INVENTOR-INFORMATION:
NAME
GOTO, HIROSHI

ASSIGNEE-INFORMATION:
NAME FUJITSU LTD COUNTRY
N/A

APPL-NO: JP04030269

APPL-DATE: February 18, 1992

INT-CL (IPC): H01L029/784, H01L027/12

US-CL-CURRENT: 257/348, 257/365

ABSTRACT:

PURPOSE: To reduce the stray capacitance of gates of a double gate structure of FET by forming both gates without positional deviation.

CONSTITUTION: An island-shaped silicon layer 9 made on a base insulating layer 8 is buried temporarily with a layer consisting of silicon and a material capable of selective etching, and a vertical hole 13, which surfaces both ends of the silicon layer, is made in this temporary layer. After stopping this vertical hole with polysilicon source and drain electrodes 14, the temporary layer is removed, and the surface base insulating layer is

etched selectively
by a specified depth from the interface with the temporary
layer so as to form
a gap below the silicon layer. After formation of a
thermal oxide film 18 on
the surfaces of the silicon layer and the polysilicon
source and drain
electrodes, the gaps are stopped, and besides a polysilicon
layer to cover the
silicon layer is accumulated. This polysilicon layer is
patterned into a gate
electrode 19 extending across the silicon layer. This gate
electrode has
double gate structure wherein they are opposed to both the
upside and the
downside of the silicon layer through thermal oxide films.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-226655

(43)公開日 平成5年(1993)9月3日

(51)IntCl.⁵

H01L 29/784
27/12

識別記号

庁内整理番号

Z 8728-4M
9056-4M

FI

H01L 29/78

311 G

技術表示箇所

審査請求 未請求 請求項の数5(全8頁)

(21)出願番号 特願平4-30269

(22)出願日 平成4年(1992)2月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 後藤 寛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

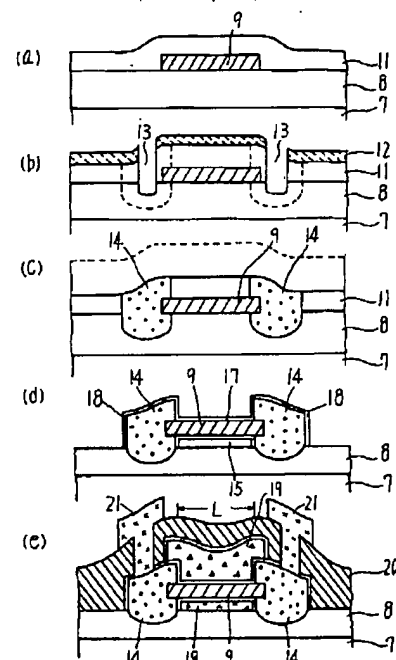
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 二重ゲート構造のFET に関し、両ゲートを位置ずれなく形成することにより、ゲートの浮遊容量を低減する。

【構成】 下地絶縁層8上に形成された島状のシリコン層9を、シリコンと選択的エッチングが可能な材料から成る層で暫定的に埋め込み、この暫定層にシリコン層の両端部を表出する縦穴13を形成する。この縦穴にポリシリコンソース・ドレイン電極14を埋め込んだのち暫定層を除去し、表出した下地絶縁層を、暫定層との界面から所定深さだけ選択的にエッチングして、シリコン層の下に空隙を形成する。シリコン層およびポリシリコンソース・ドレイン電極の表面に熱酸化膜18を形成したのち、前記空隙を埋め込みかつシリコン層を覆うポリシリコン層を堆積する。このポリシリコン層を、シリコン層を横切って延在するゲート電極9にパターニングする。このゲート電極は、前記熱酸化膜を介してシリコン層の上下両面に対向する二重ゲート構造を有する。

本発明の第1の実施例の工程説明図



【特許請求の範囲】

【請求項1】 絶縁体の一表面に島状の半導体層を形成する工程と、

該半導体層に対して選択的に除去可能な材料から成る層を該半導体層が形成された該絶縁体表面全体を覆うように暫定的に形成する工程と、

該半導体層を横切るように画定されたチャネル領域を介して対向する一対の該半導体層の端部をそれぞれ包含する領域における該暫定層を選択的に除去して該暫定層を貫通し且つ該絶縁体中に該暫定層との界面より深く位置する底を有し且つその内部に該半導体層の前記端部を表出する一対の縦穴を形成する工程と、

一導電型不純物を含有し且つ前記端部において該半導体層と接する導電性物質を該縦穴内に選択的に充填して接続端子を形成する工程と、

該導電性物質が充填された該縦穴を有する該暫定層を選択的に除去して該絶縁体と該半導体層と該接続端子を表出する工程と、

該暫定層を除去して表出された該絶縁体表面を該表面から前記縦穴の底より浅い均一な厚さだけ選択的に除去して該半導体層の下表面を表出する工程と、

前記下表面を含む該半導体層の露出表面と前記導電性物質から成る該接続端子の露出表面を熱酸化して第2の絶縁層を形成する工程と、

該第2の絶縁層を介して該半導体層の前記露出表面と接する導電層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 絶縁体の一表面に島状の半導体層を形成する工程と、

該半導体層が形成された該絶縁体表面全体を覆う第1の絶縁層を形成する工程と、

該半導体層を横切るように画定されたチャネル領域を介して対向する一対の該半導体層の端部をそれぞれ包含する領域における該第1の絶縁層を選択的に除去して該第1の絶縁層を貫通し且つ該絶縁体中に該第1の絶縁層との界面より深く位置する底を有し且つその内部に該半導体層の前記端部を表出する一対の縦穴を形成する工程と、

該絶縁体および該絶縁層に対するエッチング剤によって除去されない耐熱性の充填物質を該縦穴内に選択的に充填する工程と、

該充填物質が充填された該縦穴を有する該第1の絶縁層を該エッチング剤によりゲート電極形成領域から選択的に除去して該絶縁体表面を表出したのち該ゲート電極形成領域における該絶縁体表面を該表面から前記縦穴の底より浅く均一な厚さに該エッチング剤により選択的に除去して該半導体層の下表面を表出する工程と、

前記下表面を含む該半導体層の露出表面を熱酸化して第2の絶縁層を形成する工程と、

該半導体層よりも酸化されやすい材料から成り且つ該第

2の絶縁層を介して該半導体層の前記露出表面と接する導電層を形成したのち該充填物質を選択的に除去して前記縦穴を再現する工程と、

前記充填物質の除去によって該縦穴内に表出した該導電層の側面および該半導体層の前記端部における表面を熱酸化して第3の絶縁層を形成する工程と、

該半導体層の端部表面から該第3の絶縁層を選択的に除去する工程と、

一導電型不純物を含有し且つ前記第3の絶縁層が除去されて表出した前記端部において該半導体層と接する導電性物質を該縦穴内に選択的に充填して接続端子を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記半導体層の前記端部から離れた位置に前記暫定層または前記第1の絶縁層を貫通して少なくとも前記絶縁体を表出するように前記縦穴より細い第1の縦穴を形成したのち該第1の縦穴内に表出する該絶縁体および該暫定層または第1の絶縁層を選択的に等方性エッチングして該縦穴を形成することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記半導体層の前記端部に少なくとも接し且つ前記暫定層または前記第1の絶縁層を貫通して少なくとも前記絶縁体を表出するように前記縦穴より細い第1の縦穴を形成し次いで該第1の縦穴内に表出する該半導体層に対して該暫定層または第1の絶縁層をマスクとして該絶縁体表面に垂直方向からの異方性エッチングを施したのち該第1の縦穴内に表出する該絶縁体および該暫定層または第1の絶縁層を選択的に等方性エッチングして該縦穴を形成することを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 前記絶縁体と前記暫定層または第1の絶縁層とは同一の化学的組成を有することを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート型の電界効果トランジスタ(IG-FET;以下単にFETと記す)に係り、とくにSOI(silicon on insulator)構造の半導体基板を用いていわゆる二重ゲートの半導体装置を製造する方法に関する。

【0002】

【従来の技術】SOI構造の半導体基板を用い、チャネル領域における半導体層の両面にゲート電極を設けることにより、SOI構造の基板に形成された通常のFETに比べて、①ドレイン電圧-電流特性におけるサブスレッショルド特性の向上、②伝達係数の向上、③耐放射線特性の向上が可能であることが知られている。

【0003】このような二重ゲートを有するFETの構造や製造方法が種々提案されているが、量産に適したものは現在のところ見当たらない。

【0004】

【発明が解決しようとする課題】本発明者は、先に、図5に示すような構造の二重ゲートFETを提案した(特開H01-122451, 平成1年5月16日付)。

【0005】すなわち、同図(a)に示すように、基板表面(図示省略)を覆う絶縁層1上に島状のシリコン層2を形成したのち、絶縁層1を選択的にエッチングして、同図(b)に示すように、シリコン層2の下を横切って延在する溝3を形成する。次いで、シリコン層2の表面を熱酸化してゲート酸化膜(図示省略)を形成したのち、絶縁層1表面全体に、溝3を充填する厚さのポリシリコン層を堆積する。このポリシリコン層をリソグラフ技術によってパターニングして、同図(c)に示すように、溝3内を充填しかつシリコン層2上を横切って延在するゲート電極4を形成する。ゲート電極4はシリコン層2の上下両面から挟んだ二重ゲート構造となっている。そののち、シリコン層2およびゲート電極4を覆う絶縁層(図示省略)を形成し、この絶縁層に所定のコンタクトホールを形成し、これらコンタクトホールを通じてシリコン層2の両端部に接触するソース・ドレイン電極5を形成してFETが完成する。

【0006】図5に示した構造のFETの製造においては、ゲート電極4について、シリコン層2の下面における部分4₁に対して、シリコン層2上に延在する部分4₂がチャンネル方向に位置ずれが実際のリソグラフ技術から避けられない。したがって、位置合わせの余裕を考慮して、溝3内を充填する部分4₁の幅をシリコン層2上に延在する部分4₂のそれより大きくしておかなければならない。その結果、この余裕度起因する幅の分だけゲート電極の浮遊容量が増加することが避けられず、FETの高速化に限界を生じる問題があった。

【0007】本発明は、上記従来の問題を解決するために、シリコン層の上下のゲート電極を同一幅かつ位置ずれを生じることなく形成可能とすることを目的とする。

【0008】

【課題を解決するための手段】上記目的は、絶縁体の一表面に島状の半導体層を形成し、該半導体層に対して選択的に除去可能な材料から成る層を該半導体層が形成された該絶縁体表面全体を覆うように暫定的に形成し、該半導体層を横切るように画定されたチャンネル領域を介して対向する一対の該半導体層の端部をそれぞれ包含する領域における該暫定層を選択的に除去して該暫定層を貫通し且つ該絶縁体中に該暫定層との界面より深く位置する底を有し且つその内部に該半導体層の前記端部を表出する一対の縦穴を形成し、一導電型不純物を含有し且つ前記端部において該半導体層と接する導電性物質を該縦穴内に選択的に充填して接続端子を形成し、該導電性物質が充填された該縦穴を有する該暫定層を選択的に除去して該絶縁体と該半導体層と該接続端子を表出し、該暫定層を選択的に除去して表出された該絶縁体表面を該表

面から前記縦穴の底より浅い均一な厚さだけ選択的に除去して該半導体層の下表面を表出し、前記下表面を含む該半導体層の露出表面と前記導電性物質から成る該接続端子の露出表面を熱酸化して第2の絶縁層を形成し、該第2の絶縁層を介して該半導体層の前記露出表面と接する導電層を形成する諸工程を含むことを特徴とする本発明に係る半導体装置の製造方法、または、絶縁体の一表面に島状の半導体層を形成し、該半導体層が形成された該絶縁体表面全体を覆う第1の絶縁層を形成し、該半導体層を横切るように画定されたチャンネル領域を介して対向する一対の該半導体層の端部をそれぞれ包含する領域における該第1の絶縁層を選択的に除去して該第1の絶縁層を貫通し且つ該絶縁体中に該第1の絶縁層との界面より深く位置する底を有し且つその内部に該半導体層の前記端部を表出する一対の縦穴を形成し、該絶縁体および該絶縁層に対するエッチング剤によって除去されない耐熱性の充填物質を該縦穴内に選択的に充填し、該充填物質が充填された該縦穴を有する該第1の絶縁層を該エッチング剤によりゲート電極形成領域から選択的に除去して該絶縁体表面を表出したのち該ゲート電極形成領域における該絶縁体表面を該表面から前記縦穴の底より浅く均一な厚さに該エッチング剤により選択的に除去して該半導体層の下表面を表出し、前記下表面を含む該半導体層の露出表面を熱酸化して第2の絶縁層を形成し、該半導体層よりも酸化されやすい材料から成り且つ該第2の絶縁層を介して該半導体層の前記露出表面と接する導電層を形成したのち該充填物質を選択的に除去して前記縦穴を再現し、前記充填物質の除去によって該縦穴内に表出した該導電層の側面および該半導体層の前記端部における表面を熱酸化して第3の絶縁層を形成し、該半導体層の端部表面から該第3の絶縁層を選択的に除去し、一導電型不純物を含有し且つ前記第3の絶縁層が除去されて表出した前記端部において該半導体層と接する導電性物質を該縦穴内に選択的に充填して接続端子を形成する諸工程を含むことを特徴とする本発明に係る半導体装置の製造方法のいずれかによって達成される。

【0009】

【作用】本発明においては、絶縁層上に形成された島状のシリコン層の上下に位置する両ゲート電極は自己整合的にパターニングされるので、同一ゲート長を有しかつ相互の位置ずれが生じない。したがって、図5を参照して説明した従来のFETに比べて、ゲート電極の浮遊容量が低減可能となり、高速FETから成る集積回路の製造に適している。また、ソース・ドレイン領域を厚くすることができると寄生抵抗が低減され、その結果、高速化にも寄与する。

【0010】

【実施例】図1は本発明の第1の実施例の工程を説明するための要部断面図である。同図(a)に示すように、例えばシリコンウエハ等から成る基板7を覆う厚さ約1μ

mのSiO₂層8上に島状のシリコン層9を形成する。シリコン層9は、例えば長さ1μm、幅0.4μm、厚さ約0.1μmの寸法を有する。その平面構造を図2(a)に示す。なお、このような島状のシリコン層9の形成は、SiO₂層を介して張り合わせた二枚のシリコンウエハの一方を所定厚さまで研磨する、または、シリコンウエハの一面表面から所定深さに酸素をイオン注入する、あるいは、SiO₂層上に堆積したポリシリコン層をレーザービーム照射等により単結晶化する等の周知の方法によって作製された薄いシリコン層をフォトリソグラフ技術により複数の島状にパターニングすることによって行えばよく、通常は、複数のシリコン層9が形成される。

【0011】次いで、例えば周知の化学気相成長(CVD)法を用いて、SiO₂層8の露出表面およびシリコン層9を覆う、例えばSiO₂層11を堆積する。そして、SiO₂層11上に、図1(b)に示すように、レジスト層12を塗布し、レジスト層12をマスクとして、SiO₂層11およびSiO₂層8を異方性エッチングすることにより、シリコン層9の端部から約0.1μm離れて位置する直径約0.5μmの縦穴13を形成する。なお、縦穴13は、SiO₂層11との界面からSiO₂層8内に約0.2μmの深さにその底が位置するように形成する。

【0012】次いで、例えば10%弗酸(HF)溶液を用いる等方性エッチングにより、縦穴13内に表出するSiO₂層11をエッチングし、さらにSiO₂層8をエッチングする。このエッチングは、縦穴13の直径が1.3μm程度になるまで行う。この等方性エッチングにより、縦穴13内におけるSiO₂層8および11の側面は、図1(b)に点線で示す位置まで0.4μmだけ後退し、図2(b)の平面図に示すように、縦穴13内にシリコン層9の端部9₁が突出した状態となる。同時に、縦穴13の底も0.4μm深くなり、SiO₂層11との界面から約0.6μmに位置するようになる。

【0013】次いで、レジスト層12を除去したのち、周知のCVD法により、図1(c)に点線で示すように、SiO₂層11上全体に厚さ約1μmのポリシリコン層を堆積する。そして、SiO₂層11の上表面が表出するまでこのポリシリコン層をエッチバックしたのち、例えば砒素(As)イオンを加速エネルギー100KeV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ で注入する。その結果、縦穴13を充填するポリシリコンから成るn型のソース・ドレイン電極14が形成される。

【0014】次いで、SiO₂層11を選択的に除去し、これによりSiO₂層8が表出してからさらに、SiO₂層8の表面から深さ約0.3μmまでを選択的に等方性エッチングする。なお、SiO₂層11の除去は、SiO₂層8と同様に等方性エッチングにより行ってもよく、例えば10%HF溶液をエッチャントとして用いればよい。その結果、図1(d)に示すように、シリコン層9の下表面とSiO₂層8との間に空洞15が形成される。すなわち、シリコン層9は、その両端部9₁をソース・ドレイン電極14によって支持された状態となっている。

【0015】次いで、例えば塩化水素(HCl)と酸素の混合ガスから成る雰囲気中、800℃での低温熱酸化法により、シリコン層9およびSiO₂層11の表面に、それぞれ、酸化膜17および18を形成する。この低温熱酸化法は、単結晶シリコンとポリシリコンに対する酸化速度差が大きく異なる。これにより、酸化膜17の厚さは約200Å、酸化膜18の厚さは約700Åとする。

【0016】次いで、SiO₂層8表面全体に、周知のCVD法によりポリシリコンを堆積する。このポリシリコンは、シリコン層9下の空洞15内にも充填される。このポリシリコン層を、周知のフォトリソグラフ技術により、シリコン層9を横切るストライプ状にパターニングして、図1(e)に示すように、ゲート電極19を形成する。すなわち、ゲート電極19は、酸化膜17を介してシリコン層9のチャネル領域における上下両面に接する二重構造を有する。そのゲート長は、ソース・ドレイン電極14間に表出しているシリコン層9の長(L)さであり、図1(b)で説明した縦穴13の位置およびSiO₂層11のサイドエッチング(等方性エッチング)量によって自己整合的に決まり、かつ、上下のゲート電極にほとんど位置ずれが生じない。なお、図示のように、ゲート電極19の一部分が、酸化膜18を介してソース・ドレイン電極14に重なるようにパターニングされていても、ゲート長の精度には影響しない。

【0017】そののち、周知のCVD技術により、ゲート電極19およびソース・ドレイン電極14を覆う、例えばPSG(燐珪酸ガラス)から成る層間絶縁層20を堆積し、その所定位置にコンタクトホールを形成したのち、ソース・ドレイン電極14に接続する配線21を形成して二重ゲート型のFETが完成する。

【0018】なお、上記実施例におけるSiO₂層11は、ポリシリコンから成るソース・ドレイン電極14を充填する際の鋳型となる縦穴13を形成するための暫定的な層であるので、シリコン層9に対して選択的にエッチングが可能な材料から成る他の層に置換してもよいことは言うまでもない。また、上記実施例において、SiO₂層11またはその代替層が絶縁性である場合には、縦穴13にポリシリコンを充填におけるその除去はシリコン層9上のみでもよいことは、後述する第3の実施例から明らかになる。

【0019】図3は本発明の第2の実施例の工程を説明するための要部断面図である。同図(a)に示すように、前記実施例と同様にして基板7を覆うSiO₂層8上に島状のシリコン層9を形成したのち、シリコン層9を覆うSiO₂層11を堆積する。

【0020】次いで、SiO₂層11上に、開口22を有するレジスト層23を形成する。開口22は、図3(b)に点線で示すように、シリコン層9の端部と重なる位置に形成するか、あるいは、少なくとも接する位置に形成する。そして図3(c)に示すように、開口22内に表出するSiO₂層11、シリコン層9およびSiO₂層8を順次異方性エッチン

グして堅穴24を形成する。この異方性エッチングは、例えば SiO_2 層11および8に対しては、 CF_4 と水素との混合ガスをエッチャントとし、シリコン層9に対しては CF_4 と酸素との混合ガスをエッチャントとして、反応性イオンエッチング(RIE)により行えばよい。なお堅穴24は、前記実施例と同様に、その底が、 SiO_2 層11との界面から SiO_2 層8内に約0.2 μm の深さに位置するように形成する。

【0021】次いで、前記実施例と同様に、堅穴24内に表出する SiO_2 層11および SiO_2 層8を順次選択的に等方性エッチングして、堅穴24の側面を点線で示す位置まで約0.2 μm だけ後退させる。これにより、シリコン層9の両端部9iが0.2 μm ずつ露出される。以後、レジスト層23を除去したのち、図1(c)ないし(e)を参照して説明した工程にしたがって、二重ゲート型のFETを作製する。

【0022】本実施例によれば、堅穴24内に露出するシリコン層9の両端部9iは、ゲート長方向に必ず等しい長さに形成されるので、後に形成されるソース・ドレイン電極14との接触抵抗のFETごとのバラツキが低減される利点がある。ただし、堅穴24を形成するための異方性エッチングにおいて、シリコン層9の端部がエッチングされるので、所定のゲート長を確保するためには、シリコン層9の初期長さを、この異方性エッチングにおける減少分だけ大きくしておく必要がある。

【0023】図4は本発明の第3の実施例の工程を説明するための要部断面図である。すなわち、前記第1の実施例における図1(b)までの工程によってシリコン層9の端部9iが露出した堅穴13内、または、第2の実施例における図3(c)までの工程によってシリコン層9の端部9iが露出した堅穴24内に、図4(a)に示すように、例えば Si_3N_4 から成る充填物質26を充填する。充填物質26は、 SiO_2 層8および11に対するエッチャントによってはエッチングされず、かつ、耐熱性であることが要求され、 Si_3N_4 が好適である。なお、 Si_3N_4 から成る充填物質26の形成は、周知のCVDによる Si_3N_4 層の堆積および CF_4 と酸素との混合ガスをエッチャントとするエッチバックによって行えばよい。

【0024】次いで、シリコン層9を横切って延在するゲート電極形成領域を表出する開口を有するレジスト層27を SiO_2 層11上に形成する。図示のように、レジスト層27の前記開口内に充填物質26が表出している場合でも差支えない。この開口内に表出している SiO_2 層11を選択的に除去し、さらに、シリコン層9の直下の SiO_2 層8を、その表面から深さ約0.3 μm までを選択的に等方性エッチングする。なお、 SiO_2 層8および11の除去は前記実施例と同様にして行えばよい。その結果、同図に示すように、シリコン層9の下表面と SiO_2 層8との間に空洞15が形成される。本実施例においては、シリコン層9は、その両端部9iを充填物質26によって支持された状態となってい

る。

【0025】次いで、レジスト層27を除去し、シリコン層9の露出表面を熱酸化して酸化膜28を形成したのち、周知のCVD法によるポリシリコン層の堆積、および、周知のフォトリソグラフ技術によるポリシリコン層のパターニングを行って、図4(b)に示すように、ゲート電極29を形成する。前記ポリシリコンは、シリコン層9下の空洞15を充填するので、ゲート電極29は、酸化膜28を介してシリコン層9のチャネル領域における上下両面と接する二重ゲート構造を有する。

【0026】次いで、充填物質26を選択的に除去する。 Si_3N_4 から成る充填物質26は、例えば熱燐酸溶液により、 SiO_2 層8および11、シリコン層9、ゲート電極29とは選択的にエッチングされる。その結果、ゲート電極29とその周囲に残存する SiO_2 層11とに囲まれた前記堅穴13または24が再現される。次いで、熱酸化法により、ゲート電極29の露出表面に厚さ約700 Åの酸化膜31を形成する。この熱酸化において、前記堅穴内に露出しているシリコン層9の端部9i表面にも酸化膜が形成される。前記実施例と同様の低温熱酸化法を用いれば、端部9i表面の酸化膜32は約200 Åである。したがって、例えば10%HF溶液を用いて、端部9i表面の酸化膜を除去すれば、厚さ約500 Åの酸化膜31をゲート電極29表面に残すことができる。

【0027】次いで、前記実施例と同様に、ポリシリコン層の堆積、Asのイオン注入およびこのポリシリコン層のエッチバックにより、図4(c)に示すように、前記堅穴を充填するソース・ドレイン電極14を形成する。そののち、前記実施例と同様に、ゲート電極29およびソース・ドレイン電極14を覆う層間絶縁層の堆積、コンタクトホールを形成およびソース・ドレイン電極14に接続する配線の形成を行って、二重ゲート型のFETが完成する。

【0028】第3の実施例による方法は、ソース・ドレイン領域に対する不純物の注入を、前記実施例における場合よりも後の工程で行うことができる。したがって、ソース・ドレイン領域からの不純物の拡散が低減されるため、より短チャネルのFETを作製することができる利点がある。

【0029】上記三実施例においては、 SiO_2 層8と SiO_2 層11とが同一材料である場合を説明したが、これらの層がシリコン層9に対して選択的にエッチング可能な材料であれば、互いに異なる材料であっても差支えない。また、第3の実施例における充填物質26として Si_3N_4 を用いたが、 SiO_2 層8および11とエッチング選択性を有するその他の耐熱性材料を代用可能であることは言うまでもない。

【0030】

【発明の効果】本発明によれば、上下が位置精度よく配置された二重ゲート電極を有するFETを形成でき、また、

ゲート長が均一な二重ゲート電極を有する複数のFETを形成できる。その結果、二重ゲート電極を有する高性能かつ高密度に配置されたFETから成る集積回路の実用化を促進する効果がある。

【図面の簡単な説明】

- 【図1】 本発明の第1の実施例の工程説明図
 【図2】 第1の実施例の工程を説明するための平面図
 【図3】 本発明の第2の実施例の工程説明図
 【図4】 本発明の第3の実施例の工程説明図
 【図5】 従来の二重ゲート型FETの問題点説明図

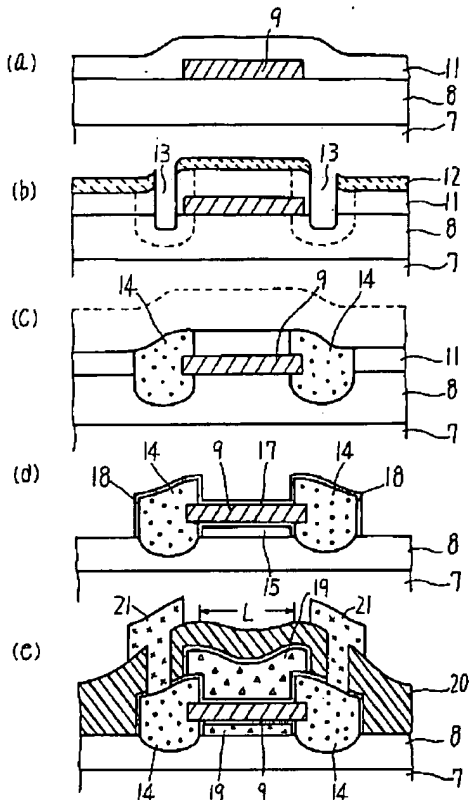
【符号の説明】

- 1 絶縁層
 2, 9 シリコン層

- 3 溝
 4, 19, 29 ゲート電極
 5, 14 ソース・ドレイン電極
 7 基板
 8, 11 SiO₂層
 9₁ 端部
 12, 23, 27 レジスト層
 13, 24 縦穴
 15 空洞
 10 17, 18, 28, 31 酸化膜
 20 層間絶縁層
 22 開口
 26 充填物質

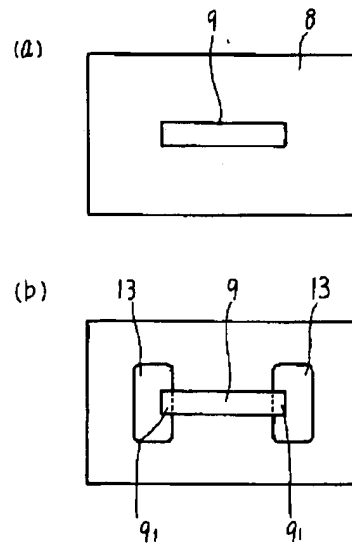
【図1】

本発明の第1の実施例の工程説明図



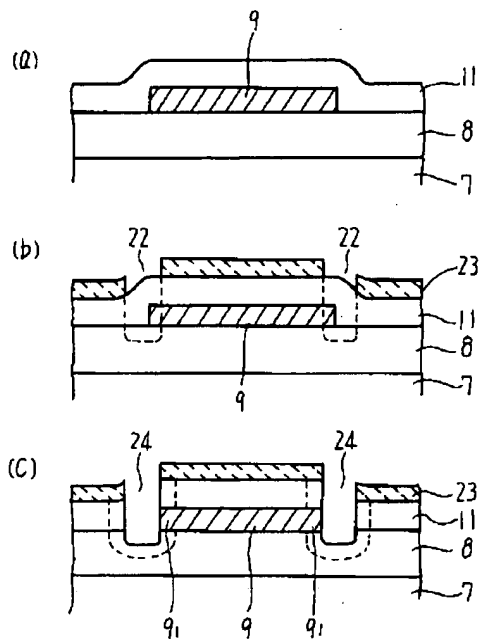
【図2】

第1の実施例の工程を説明するための平面図



【図3】

本発明の第2の実施例の工程説明図



【図4】

本発明の第3の実施例の工程説明図

